

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

13681834

Basic Patent (No,Kind,Date): JP 9090410 A2 19970404 <No. of Patents: 002>

**ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS
MANUFACTURE** (English)

Patent Assignee: HITACHI LTD

Author (Inventor): OTA MASUYUKI; OGAWA KAZUHIRO; ASHIZAWA KEIICHIRO;
YANAGAWA KAZUHIKO; YANAI MASAHIRO; KONISHI NOBUTAKE

IPC: *G02F-001/136; G02F-001/1343

Derwent WPI Acc No: *G 97-263232; G 97-263232

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 9090410	A2	19970404	JP 95241680	A	19950920	(BASIC)
JP 3340894	B2	20021105	JP 95241680	A	19950920	

Priority Data (No,Kind,Date):

JP 95241680 A 19950920

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05475610 **Image available**

**ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS
MANUFACTURE**

PUB. NO.: **09-090410** [JP 9090410 A]

PUBLISHED: April 04, 1997 (19970404)

INVENTOR(s): OTA MASUYUKI
 OGAWA KAZUHIRO
 ASHIZAWA KEIICHIRO
 YANAGAWA KAZUHIKO
 YANAI MASAHIRO
 KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 07-241680 [JP 95241680]

FILED: September 20, 1995 (19950920)

INTL CLASS: [6] G02F-001/136; G02F-001/1343

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
 MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
 Metal Oxide Semiconductors, MOS); R119 (CHEMISTRY -- Heat
 Resistant Resins)

ABSTRACT

PROBLEM TO BE SOLVED: To provide an active matrix type liquid crystal display device of a horizontal electric field system high in contrast and high in picture quality without causing any brightness unevenness.

SOLUTION: This active matrix type liquid crystal display device has one pair of substrates(SUB1, SUB2), a liquid crystal layer(LC) held in between one pair of substrates, plural active elements(TFTs) formed in a matrix shape on the substrate of one side, plural pixels (PXs) to be respectively connected to plural active elements(TFTs) and plural counter electrodes(CTs) formed on either of the pair substrates and impressing electric fields almost parallel with the substrate to the liquid crystal layer(LC) in between pixel electrode (PXs) and the electrodes (CTs). Then, the angle formed by the side faces of the electrodes of at least either one of the pixel electrodes (PXs) and the counter electrodes (CTs) and the substrate face is defined as >0 deg. to <90 deg..

(11)特許出願公開番号

(43)公開日 平成9年(1997)4月4日

F I
G02F 1/136 500
1/1343

[illegible]

【特許請求の範囲】

【請求項1】 一対の基板と、前記一対の基板間に挟持される液晶層と、前記一方の基板上にマトリクス状に形成される複数のアクティブ素子と、前記複数のアクティブ素子にそれぞれ接続される複数の画素電極と、前記一対の基板のいずれか一方の基板上に形成され、前記画素電極との間で基板面にほぼ平行な電界を液晶層に印加する複数の対向電極とを、少なくともも有するアクティブマトリクス型液晶表示装置において、前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角が0度を超え90度未満であることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角が45度であることを特徴とする請求項1に記載されたアクティブマトリクス型液晶表示装置。

【請求項3】 前記対向電極が、アクティブ素子が形成される前記一方の基板上で、前記画素電極と同層に形成されていることを特徴とする請求項1または請求項2に記載されたアクティブマトリクス型液晶表示装置。

【請求項4】 一対の基板と、前記一対の基板間に挟持される液晶層と、前記一方の基板上にマトリクス状に形成される複数のアクティブ素子と、前記複数のアクティブ素子にそれぞれ接続される複数の画素電極と、前記一対の基板のいずれか一方の基板上に形成され、前記画素電極との間で基板面にほぼ平行な電界を液晶層に印加する複数の対向電極とを、少なくともも有するアクティブマトリクス型液晶表示装置の製造方法において、導電膜を形成し、前記導電膜上にホトリソグラフィでパターン化されたホトレジスト膜を形成した後に、硝酸を含有したエッチャントでウエットエッチングして前記画素電極および前記対向電極の少なくとも一方の電極を形成することにより、前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角を0度を超え90度未満となすことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項5】 一対の基板と、前記一対の基板間に挟持される液晶層と、前記一方の基板上にマトリクス状に形成される複数のアクティブ素子と、前記複数のアクティブ素子にそれぞれ接続される複数の画素電極と、前記一対の基板のいずれか一方の基板上に形成され、前記画素電極との間で基板面にほぼ平行な電界を液晶層に印加する複数の対向電極とを、少なくともも有するアクティブマトリクス型液晶表示装置の製造方法において、導電膜を形成し、前記導電膜上にホトリソグラフィで、パターン化されたホトレジスト膜を形成した後、酸素アッシャーと同時に、ドライエッチングして前記画素電極および前記対向電極の少なくとも一方の電極を形成することにより、前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角を0度を超え90度未満

となすことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に係わり、特に、横電界方式のアクティブマトリクス型液晶表示装置に適用して有効な技術に関する。

【0002】

【従来の技術】 薄膜トランジスタ (TFT) に代表されるアクティブ素子を用いたアクティブマトリクス型液晶表示装置は薄い、軽量という特徴とブラウン管に匹敵する高画質という点から、OA機器等の表示端末装置として広く普及し始めている。

【0003】 このアクティブマトリクス型液晶表示装置の表示方式には、大別して、次の2通りの表示方式が知られている。

【0004】 1つは、2つの透明電極が形成された一対の基板間に液晶層を封入し、2つの透明電極に駆動電圧を印加することにより、基板界面にほぼ直角な方向の電界により液晶層を駆動し、透明電極を透過し液晶層に入射した光を変調して表示する方式（以下、縦電界方式と称する）であり、現在、普及している製品が全てこの方式を採用している。

【0005】 しかしながら、前記縦電界方式を採用したアクティブマトリクス型液晶表示装置においては、視角方向を変化させた際の輝度変化が著しく、特に、中間調表示を行った場合、視角方向により階調レベルが反転してしまう等、実用上問題があった。

【0006】 また、もう1つは、一対の基板間に液晶層を封入し、同一基板あるいは両基板上に形成された2つの電極に駆動電圧を印加することにより、基板界面にほぼ平行な方向の電界により液晶層を駆動し、2つの電極の隙間から液晶層に入射した光を変調して表示する方式（以下、横電界方式と称する）であるが、この横電界方式を採用したアクティブマトリクス型液晶表示装置は未だ実用化されていない。

【0007】 しかしながら、この横電界方式を採用したアクティブマトリクス型液晶表示装置は、広視野角、低負荷容量等の特徴を有しており、この横電界方式は、アクティブマトリクス型液晶表示装置に関して有望な技術である。

【0008】 前記横電界方式を採用したアクティブマトリクス型液晶表示装置の特徴に関しては、特許出願公表平5-505247号公報、特公昭63-21907号公報、特開平6-160878号公報を参照されたい。

【0009】

【発明が解決しようとする課題】 しかしながら、横電界方式を採用したアクティブマトリクス型液晶表示装置においては、縦電界方式を採用したアクティブマトリクス型液晶表示装置とは異なり、櫛歯状の細長い電極を遮光

膜（ブラックマトリクス）で覆うことのできない有効画素領域内に形成するため、その電極の厚みにより配向膜に段差が生じる。

【0010】そのため、配向膜をラビングする際に、電極脇の部分にバフ布の毛があたりにくいためラビングされにくく、その部分が配向不良となって、それにより、その配向不良領域（ドメイン）で光漏れが生じ、黒表示が沈みこまないため、コントラスト比が低下する、あるいは、ラビング強度の分布により輝度むらが発生し易いという問題点があった。

【0011】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、横電界方式を採用したアクティブマトリクス型液晶表示装置において、コントラストを向上させて、かつ、輝度むらの発生を防止できる技術を提供することにある。

【0012】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0014】（１）一対の基板と、前記一対の基板間に挟持される液晶層と、前記一方の基板上にマトリクス状に形成される複数のアクティブ素子と、前記複数のアクティブ素子にそれぞれ接続される複数の画素電極と、前記一対の基板のいずれか一方の基板上に形成され、前記画素電極との間で基板面にほぼ平行な電界を液晶層に印加する複数の対向電極とを、少なくとも有するアクティブマトリクス型液晶表示装置において、前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角が0度を超え90度未満であることを特徴とする。

【0015】（２）前記（１）の手段において、前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角が45度であることを特徴とする。

【0016】（３）前記（１）または（２）の手段において、前記対向電極が、アクティブ素子が形成される前記一方の基板上で、前記画素電極と同層に形成されていることを特徴とする。

【0017】（４）一対の基板と、前記一対の基板間に挟持される液晶層と、前記一方の基板上にマトリクス状に形成される複数のアクティブ素子と、前記複数のアクティブ素子にそれぞれ接続される複数の画素電極と、前記一対の基板のいずれか一方の基板上に形成され、前記画素電極との間で基板面にほぼ平行な電界を液晶層に印加する複数の対向電極とを、少なくとも有するアクティブマトリクス型液晶表示装置の製造方法において、導電膜を形成し、前記導電膜上にホトリソグラフィでパターン化されたホトレジスト膜を形成した後、硝酸を含有

したエッチャントでウェットエッチングして前記画素電極および前記対向電極の少なくとも一方の電極を形成することにより、前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角を0度を超え90度未満となすことを特徴とする。

【0018】（５）一対の基板と、前記一対の基板間に挟持される液晶層と、前記一方の基板上にマトリクス状に形成される複数のアクティブ素子と、前記複数のアクティブ素子にそれぞれ接続される複数の画素電極と、前記一対の基板のいずれか一方の基板上に形成され、前記画素電極との間で基板面にほぼ平行な電界を液晶層に印加する複数の対向電極とを、少なくとも有するアクティブマトリクス型液晶表示装置の製造方法において、導電膜を形成し、前記導電膜上にホトリソグラフィで、パターン化されたホトレジスト膜を形成した後、酸素アッシャーと同時に、ドライエッチングして前記画素電極および前記対向電極の少なくとも一方の電極を形成することにより、前記画素電極および前記対向電極の少なくとも一方の電極の側面と基板面のなす角を0度を超え90度未満となすことを特徴とする。

【0019】

【作用】前記各手段によれば、横電界方式を採用したアクティブマトリクス型液晶表示装置において、画素電極および対向電極の少なくとも一方の電極をテーパエッチングにより形成し、画素電極および対向電極の少なくとも一方の電極の側面と基板面のなす角度を0度を超え90度以下の鋭角となるようにしたので、配向膜をラビングする際に、画素電極および対向電極の少なくとも一方の電極脇の部分にバフ布の毛をスムーズに当てることが可能となるので、電極の端面付近でのラビング処理が円滑かつ確実に行われるので、電極脇の部分の液晶層の液晶分子の配向を良好にすることが可能となる。

【0020】これより、配向不良領域がなくなり、コントラスト比が向上し、また、ラビング強度の分布による輝度むらを解消することが可能となる。

【0021】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0022】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】【実施例1】本実施例1は、画素電極のみの端面にテーパ角をつけて、ラビング不良を抑制し、コントラストを向上させた実施例である。

【0024】まず始めに、本実施例で構成した横電界方式のアクティブマトリクス方式のカラー液晶表示装置の概略を説明する。

【0025】《表示マトリクス部（画素部）の平面構成》図1は、本発明の一実施例（実施例1）であるアクティブマトリクス方式のカラー液晶表示装置の一面素と

その周辺を示す平面図である。

【0026】図1に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）（GL）と、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）（DL）との交差領域内（4本の信号線で囲まれた領域内）に配置されている。

【0027】各画素は、薄膜トランジスタ（TFT）、蓄積容量（Cstg）、画素電極（PX）、対向電極（CT）および対向電圧信号線（コモン信号線）（CL）とを含んでいる。

【0028】ここで、走査信号線（GL）、対向電圧信号線（CL）は、図1においては左右方向に延在し、上下方向に複数本配置されている。

【0029】また、映像信号線（DL）は、上下方向に延在し、左右方向に複数本配置されている。

【0030】また、画素電極（PX）は、薄膜トランジスタ（TFT）のソース電極（SD1）と接続され、さらに、対向電極（CT）は、対向電圧信号線（CL）と一体に構成されている。

【0031】画素電極（PX）と対向電極（CT）とは互いに対向し、各画素電極（PX）と対向電極（CT）との間の電界により液晶層（LC）の光学的な状態を制御し、表示を制御する。

【0032】画素電極（PX）と対向電極（CT）とは櫛歯状に構成され、それぞれ、図1においては上下方向に長細い電極となっている。

【0033】本実施例では、画素電極（PX）は下開きのコの字型、対向電極（CT）は対向電圧信号線（CL）から下方向に突起した櫛歯形の形状をしており、画素電極（PX）と対向電極（CT）の間の領域は1画素内で4分割されている。

【0034】《表示マトリクス部（画素部）の断面構成》図2は、図1に示す3-3切断線における断面を示す断面図、図3は、図1に示す4-4切断線における薄膜トランジスタ（TFT）の断面を示す断面図、図4は、図1に示す5-5切断線における蓄積容量（Cstg）の断面を示す断面図である。

【0035】図2～図4に示すように、液晶層（LC）を基準にして下部透明ガラス基板（SUB1）側には、薄膜トランジスタ（TFT）、蓄積容量（Cstg）および電極群が形成され、上部透明ガラス基板（SUB2）側には、カラーフィルタ（FIL）、遮光用ブラックマトリクスパターン（BM）が形成されている。

【0036】また、透明ガラス基板（SUB1、SUB2）のそれぞれの内側（液晶層（LC）側）の表面には、液晶の初期配向を制御する配向膜（ORI1、ORI2）が設けられており、透明ガラス基板（SUB1、SUB2）のそれぞれの外側の表面には、それぞれ偏光板（POL1、POL2）が設けられている。

【0037】ここで、図2に示すように、画素電極（P

X）の端面にはテーパ角が付与されている。

【0038】本実施例では、画素電極（PX）の端面と基板面のなす角度を、45°としている。

【0039】これにより、後述する配向膜（ORI1）をラビングする際に、画素電極（PX）の端面付近でのラビング処理が円滑および確実に行われ、配向不良領域を解消することが可能となる。

【0040】以下、より詳細な構成について説明する。

【0041】《TFT基板》まず、下部透明ガラス基板（SUB1）側（TFT基板）の構成を詳しく説明する。

【0042】《薄膜トランジスタ（TFT）》薄膜トランジスタ（TFT）は、ゲート電極（GT）に正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0043】薄膜トランジスタ（TFT）は、図3に示すように、ゲート電極（GT）、ゲート絶縁膜（GI）、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層（AS）、一対のソース電極（SD1）、ドレイン電極（SD2）を有す。

【0044】なお、ソース電極（SD1）、ドレイン電極（SD2）は本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース電極（SD1）、ドレイン電極（SD2）は動作中入れ替わると理解されたい。

【0045】しかし、以下の説明では、便宜上一方をソース電極（SD1）、他方をドレイン電極（SD2）と固定して表現する。

【0046】なお、本実施例では、薄膜トランジスタ（TFT）として、非晶質（アモルファス）シリコン薄膜トランジスタ素子を用いたが、これに限定されず、ポリシリコン薄膜トランジスタ素子、シリコンウエハ上のMOS型トランジスタ、有機TFT、または、MIM（Metal-Insulator-Metal）ダイオード等の2端子素子（厳密にはアクティブ素子ではないが、本発明ではアクティブ素子とする）を用いることも可能である。

【0047】《ゲート電極（GT）》ゲート電極（GT）は、走査信号線（GL）と連続して形成されており、走査信号線（GL）の一部の領域がゲート電極（GT）となるように構成されている。

【0048】ゲート電極（GT）は、薄膜トランジスタ（TFT）の能動領域を超える部分であり、i型半導体層（AS）を完全に覆う（下方からみて）ように、それより大き目に形成されている。

【0049】これにより、ゲート電極（GT）の役割のほかに、i型半導体層（AS）に外光やバックライト光が当たらないように工夫されている。

【0050】本実施例では、ゲート電極(GT)は、単層の導電膜(g1)で形成されており、導電膜(g1)としては、例えば、スパッタリングで形成されたアルミニウム(A1)系の導電膜が用いられ、その上にはアルミニウム(A1)の陽極酸化膜(AOF)が設けられている。

【0051】《走査信号線(GL)》走査信号線(GL)は、導電膜(g1)で構成されており、この走査信号線(GL)の導電膜(g1)は、ゲート電極(GT)の導電膜(g1)と同一製造工程で形成され、かつ一体10に構成されている。

【0052】この走査信号線(GL)により、外部回路からゲート電圧(VG)をゲート電極(GT)に供給する。

【0053】また、走査信号線(GL)上にもアルミニウム(A1)の陽極酸化膜(AOF)が設けられている。

【0054】なお、映像信号線(DL)と交差する部分は、映像信号線(DL)との短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にされている。20

【0055】《対向電極(CT)》対向電極(CT)は、ゲート電極(GT)および走査信号線(GL)と同層の導電膜(g1)で構成されている。

【0056】また、対向電極(CT)上にもアルミニウム(A1)の陽極酸化膜(AOF)が設けられている。

【0057】対向電極(CT)には、対向電圧(Vcom)が印加されるように構成されている。

【0058】本実施例では、対向電圧(Vcom)は、映像信号線(DL)に印加される最小レベルの駆動電圧(VDmin)と最大レベルの駆動電圧(VDmax)との中間直流電位から、薄膜トランジスタ素子(TFT)をオフ状態にするときに発生するフィードスルー電圧(ΔVs分)だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。30

【0059】《対向電圧信号線(CL)》対向電圧信号線(CL)は、導電膜(g1)で構成されている。

【0060】この対向電圧信号線(CL)の導電膜(g1)は、ゲート電極(GT)、走査信号線(GL)および対向電極(CT)の導電膜(g1)と同一製造工程で形成され、かつ対向電極(CT)と一体に構成されている。40

【0061】この対向電圧信号線(CL)により、外部回路から対向電圧(Vcom)を対向電極(CT)に供給する。

【0062】また、対向電圧信号線(CL)上にもアルミニウム(A1)の陽極酸化膜(AOF)が設けられている。

【0063】なお、映像信号線(DL)と交差する部分 50

は、走査信号線(GL)と同様に映像信号線(DL)との短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

【0064】また、対向電極(CT)および対向電圧信号線(CL)は、上部透明ガラス基板(SUB2)(カラーフィルタ基板)側に形成してもよい。

【0065】《絶縁膜(GI)》絶縁膜(GI)は、薄膜トランジスタ(TFT)において、ゲート電極(GT)と共に半導体層(AS)に電界を与えるためのゲート絶縁膜として使用される。

【0066】絶縁膜(GI)は、ゲート電極(GT)および走査信号線(GL)の上層に形成されており、絶縁膜(GI)としては、例えば、プラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700オングストロームの厚さに(本実施例では、2400オングストローム程度)形成される。

【0067】ゲート絶縁膜(GI)は、表示マトリクス部(AR)の全体を囲むように形成され、周辺部は外部接続端子(DTM、GTM)が露出されるように除去されている。

【0068】絶縁膜(GI)は、走査信号線(GL)および対向電圧信号線(CL)と、映像信号線(DL)との電氣的絶縁にも寄与している。

【0069】《i型半導体層(AS)》i型半導体層(AS)は、非晶質シリコンで、200~2200オングストロームの厚さに(本実施例では、2000オングストローム程度の膜厚)形成される。

【0070】層(d0)は、オーミックコンタクト用のリン(P)をドープしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層(AS)が存在し、上側に導電膜(d1、d2)が存在するところのみに残されている。

【0071】i型半導体層(AS)は、走査信号線(GL)および対向電圧信号線(CL)と映像信号線(DL)との交差部(クロスオーバー部)の両者間にも設けられている。

【0072】この交差部のi型半導体層(AS)は、交差部における走査信号線(GL)および対向電圧信号線(CL)と映像信号線(DL)との短絡を低減する。

【0073】《ソース電極(SD1)、ドレイン電極(SD2)》ソース電極(SD1)、ドレイン電極(SD2)のそれぞれは、N(+)型半導体層(d0)に接触する導電膜(d1)とその上に形成された導電膜(d2)とから構成されている。

【0074】導電膜(d1)は、スパッタリングで形成したクロム(Cr)膜を用い、500~1000オングストロームの厚さに(本実施例では、600オングストローム程度)形成される。

【0075】クロム(Cr)膜は、膜厚を厚く形成する

とストレスが大きくなるので、2000オングストローム程度の膜厚を越えない範囲で形成する。

【0076】クロム(Cr)膜は、N(+)型半導体層(d0)との接着性を良好にし、アルミニウム(Al)系の導電膜(d2)におけるアルミニウム(Al)がN(+)型半導体層(d0)に拡散することを防止する(いわゆるバリア層の)目的で使用される。

【0077】導電膜(d1)として、クロム(Cr)膜の他に、高融点金属(モリブテン(Mo)、チタン(Ti)、タンタル(Ta)、タングステン(W))膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよい。

【0078】導電膜(d2)としては、アルミニウム(Al)系の導電膜をスパッタリングで3000~5000オングストロームの厚さに(本実施例では、4000オングストローム程度)形成する。

【0079】アルミニウム(Al)系の導電膜は、クロム(Cr)膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極(SD1)、ドレイン電極(SD2)および映像信号線(DL)の抵抗値を低減したり、ゲート電極(GT)やi型半導体層(AS)に起因する段差乗り越えを確実にする(ステップカバレッジを良くする)働きがある。

【0080】ここで、ソース電極(SD1)、ドレイン電極(SD2)の端面にテーパ角が付与されており、本実施例では、端面と基板面のなす角度は、45°としている。

【0081】これは、後述する配向膜(ORI1)をラビングする際に、画素電極(PX)の端面付近でのラビング処理を円滑および確実にし、配向不良領域を解消するためである。

【0082】なお、本実施例では、画素電極(PX)、映像信号線(DL)、ソース電極(SD1)、および、ドレイン電極(SD2)が同一工程で同層に形成されているため、映像信号線(DL)、ソース電極(SD1)、ドレイン電極(SD2)の端面も同様なテーパ角が付与されている。

【0083】また、導電膜(d1)、導電膜(d2)を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは、導電膜(d1)、導電膜(d2)をマスクとして、N(+)型半導体層(d0)が除去される。

【0084】つまり、i型半導体層(AS)上に残っていたN(+)型半導体層(d0)は導電膜(d1)、導電膜(d2)以外の部分がセルフアラインで除去される。

【0085】このとき、N(+)型半導体層(d0)はその厚さ分は全て除去されるようエッチングされるので、i型半導体層(AS)も若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すれば

よい。

【0086】《映像信号線(DL)》映像信号線(DL)は、ソース電極(SD1)、ドレイン電極(SD2)と、同じく、導電膜(d1)と、その上に形成された導電膜(d2)とで構成されている。

【0087】また、映像信号線(DL)は、ソース電極(SD1)、ドレイン電極(SD2)と同層に形成され、さらに、映像信号線(DL)は、ドレイン電極(SD2)と一体に構成されている。

【0088】前記したように、ソース電極(SD1)、ドレイン電極(SD2)と同様、映像信号線(DL)の端面には、45°のテーパ角が付与されている。

【0089】《画素電極(PX)》画素電極(PX)は、ソース電極(SD1)、ドレイン電極(SD2)と、同じく、導電膜(d1)と、その上に形成された導電膜(d2)とで構成されている。

【0090】また、画素電極(PX)は、ソース電極(SD1)、ドレイン電極(SD2)と同層に形成され、さらに、画素電極(PX)は、ソース電極(SD1)と一体に構成されている。

【0091】前記したように、画素電極(PX)の端面には45°のテーパ角が付与されている。

【0092】これは、配向膜(ORI1)をラビングする際に、画素電極(PX)の端面付近でのラビング処理を円滑および確実にし、配向不良領域を解消するためである。

【0093】これにより、画素電極(PX)電極付近での光漏れが解消され、コントラスト比を大幅に向上させることが可能となる。

【0094】《蓄積容量(Cstg)》画素電極(PX)は、薄膜トランジスタ(TFT)と接続される端部と反対側の端部において、対向電圧信号線(CL)と重なるように構成されている。

【0095】この重ね合わせは、図4からも明らかなように、画素電極(PX)を一方の電極(PL2)とし、対向電圧信号(CL)を他方の電極(PL1)とする蓄積容量(静電容量素子)(Cstg)を構成する。

【0096】この蓄積容量(Cstg)の誘電体膜は、薄膜トランジスタ(TFT)のゲート絶縁膜として使用される絶縁膜(GI)および陽極酸化膜(AOF)で構成されている。

【0097】図1に示すように平面的には蓄積容量(Cstg)は、対向電圧信号線(CL)の導電膜(g1)の幅を広げた部分に形成されている。

【0098】《保護膜(PSV)》薄膜トランジスタ(TFT)上には、保護膜(PSV)が設けられている。

【0099】保護膜(PSV)は、主に薄膜トランジスタ(TFT)を湿気等から保護するために設けられており、透明性が高く、しかも、耐湿性の良いものを使用す

る。

【0100】保護膜(PSV)は、例えば、プラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1 μ m程度の膜厚に形成する。

【0101】保護膜(PSV)は、表示マトリクス部(AR)の全体を囲むように形成され、周辺部は外部接続端子(DTM、GTM)を露出されるように除去されている。

【0102】保護膜(PSV)とゲート絶縁膜(GI)の厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス(gm)を考え薄くされる。

【0103】従って、保護効果の高い保護膜(PSV)は、周辺部でもできるだけ広い範囲に亘って保護するようゲート絶縁膜(GI)よりも大きく形成されている。

【0104】《カラーフィルタ基板》次に、図1、図2に戻り、上部透明ガラス基板(SUB2)側(カラーフィルタ基板)の構成を詳しく説明する。

《遮光膜(BM)》上部透明ガラス基板(SUB2)側には、不要な間隙部(画素電極(PX)と対向電極(CT)の間以外の隙間)からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜(BM)(いわゆるブラックマトリクス)が形成される。

【0105】遮光膜(BM)は、外部光またはバックライト光がi型半導体層(AS)に入射しないようにする役割も果たしている。

【0106】すなわち、薄膜トランジスタ(TFT)のi型半導体層(AS)は上下にある遮光膜(BM)および大き目のゲート電極(GT)によってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0107】図1に示す遮光膜(BM)の閉じた多角形の輪郭線は、その内側が遮光膜(BM)が形成されない開口を示している。

【0108】図1に示す上下方向の境界線は上下基板の合わせ精度によって決まり、合わせ精度が映像信号線(DL)に隣接する対向電極(CT)の電極幅よりも良い場合には、対向電極の幅の間に設定すれば、より開口部を拡大することができる。

【0109】遮光膜(BM)は、光に対する遮蔽性を有し、かつ、画素電極(PX)と対向電極(CT)の間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では、黒色の顔料をレジスト材に混入し、1.2 μ m程度の厚さに形成している。

【0110】遮光膜(BM)は、各画素の周囲に格子状に形成され、この格子で1画素の有効表示領域が仕切られている。

【0111】従って、各画素の輪郭が遮光膜(BM)によってはっきりとする。

【0112】つまり、遮光膜(BM)は、ブラックマト

リクスとi型半導体層(AS)に対する遮光との2つの機能をもつ。

【0113】遮光膜(BM)は、周辺部にも額縁状に形成され、そのパターンは、ドット状に複数の開口を設けた図1に示すマトリクス部のパターンと連続して形成されている。

【0114】周辺部の遮光膜(BM)は、シール部(SL)の外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光が表示マトリクス部に入り込むのを防いでいる。

【0115】他方、この遮光膜(BM)は上部透明ガラス基板(SUB2)の縁よりも約0.3~1.0mm程内側に留められ、上部透明基板(SUB2)の切断領域を避けて形成されている。

【0116】《カラーフィルタ(FIL)》カラーフィルタ(FIL)は、画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成され、また、カラーフィルタ(FIL)は、遮光膜(BM)のエッジ部分と重なるように形成されている。

【0117】カラーフィルタ(FIL)は、次のようにして形成することができる。

【0118】まず、上部透明ガラス基板(SUB2)の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。

【0119】この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタ(R)を形成する。

【0120】つぎに、同様な工程を施すことによって、緑色フィルタ(G)、青色フィルタ(B)を順次形成する。

【0121】《オーバーコート膜(OC)》オーバーコート膜(OC)は、カラーフィルタ(FIL)から染料が液晶層(LC)へ漏洩するのを防止し、および、カラーフィルタ(FIL)、遮光膜(BM)による段差を平坦化するために設けられている。

【0122】オーバーコート膜(OC)はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0123】《液晶層および偏向板》次に、液晶層、配向膜、偏光板等について説明する。

【0124】《液晶層》液晶層(LC)の液晶材料としては、誘電率異方性($\Delta\epsilon$)が正で、その値が1.3、2、屈折率異方性(Δn)が0.081(589nm、20℃)のネマティック液晶を用いる。

【0125】液晶層の厚み(ギャップ)は、3.9 μ mとし、リタデーション($\Delta n \cdot d$)は0.316とする。

【0126】このリタデーション($\Delta n \cdot d$)の値は、バックライト光の波長特性のほぼ平均の波長の1/2となる様に設定され、バックライト光の波長特性との組み

合わせにより、液晶層の透過光が色調が白色（C光源、色度座標 $x=0.3101$ 、 $y=0.3163$ ）となる様に設定する。

【0127】偏光板の偏光透過軸と液晶分子の長軸方向のなす角が 45° になるとき最大透過率を得ることができ、可視光の範囲ないで波長依存性がほとんどない透過光を得ることができる。

【0128】なお、液晶層の厚み（ギャップ）は、ポリマビーズで制御している。

【0129】なお、液晶層（LC）の液晶材料は、特に限定したものではなく、誘電率異方性 $\Delta\epsilon$ は負でもよい。

【0130】また、誘電率異方性（ $\Delta\epsilon$ ）は、その値が大きいほうが、駆動電圧が低減でき、また、屈折率異方性（ Δn ）は小さいほうが、液晶層の厚み（ギャップ）を厚くでき、液晶の封入時間が短縮され、かつギャップばらつきを少なくすることができる。

【0131】《配向膜》配向膜（ORI）としては、ポリイミドを用いる。

【0132】ラビング方向（RDR）は、図19に示すように、上下基板で互いに平行にし、かつ、印加電界方向（EDR）とのなす角度は 75° としている。

【0133】なお、ラビング方向（RDR）と印加電界方向（EDR）とのなす角度は、液晶層（LC）の液晶材料の誘電率異方性（ $\Delta\epsilon$ ）が正であれば、 45° 以上 90° 未満、誘電率異方性（ $\Delta\epsilon$ ）が負であれば、 0° を超え 45° 以下でなければならない。

【0134】また、本実施例では、画素電極（PX）にテーパ角が付与されているため、画素電極（PX）両端での段差部分がなくなり、ラビング機のバフ布の毛が円滑に画素電極（PX）両端付近に接するため、ラビング不良が解消される。

【0135】これにより、液晶分子の配向状態も安定し良好な表示を行うことができる。

【0136】《偏光板》図19に示すように、下側の偏光板（POL1）の偏光透過軸（MAX1）をラビング方向（RDR）と一致させ、上側の偏光板（POL2）の偏光透過軸（MAX2）を、それに直交させる。

【0137】これにより、本実施例では、画素に印加される電圧（画素電極（PX）と対向電極（CT）の間の電圧）を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができる。

【0138】《表示マトリクス部（AR）周辺の構成》図5は、上下のガラス基板（SUB1、SUB2）を含む表示パネル（PNL）の表示マトリクス（AR）部周辺の要部平面を示す図である。

【0139】また、図6は、左側に走査回路が接続されるべき外部接続端子（GTM）付近の断面を、右側に外部接続端子がないところのシール部付近の断面を示す図である。

【0140】このパネルの製造では、小さいサイズであれば、スループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、また、大きいサイズであれば、製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから、各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。

【0141】図5、図6は後者の例を示すもので、図5、図6の両図とも上下透明ガラス基板（SUB1、SUB2）の切断後を表しており、図5に示すLNは両基板の切断前の縁を示す。

【0142】いずれの場合も、完成状態では外部接続端子群（Tg、Td）および端子（CTM）（添字略）が存在する（図で上辺と左辺の）部分は、それらが露出されるように上部透明ガラス基板（SUB2）の大きさが下部透明ガラス基板（SUB1）よりも内側に制限されている。

【0143】端子群（Tg、Td）は、それぞれ後述する走査回路接続用端子（GTM）、映像信号回路接続用端子（DTM）とそれらの引出配線部を集積回路チップ（CHI）が搭載されたテープキャリアパッケージ（TCP）（図16、図17）の単位に複数本まとめて名付けたものである。

【0144】各群の表示マトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。

【0145】これは、パッケージ（TCP）の配列ピッチ及び各パッケージ（TCP）における接続端子ピッチに表示パネル（PNL）の端子（DTM、GTM）を合わせるためである。

【0146】また、対向電極端子（CTM）は、対向電極（CT）に対向電圧（Vcom）を外部回路から与えるための端子である。

【0147】表示マトリクス部の対向電圧信号線（CL）は、走査回路用端子（GTM）の反対側（図では右側）に引き出し、各対向電圧信号線（CL）を共通バスライン（CB）（対向電極接続信号線）で一纏めにし、対向電極端子（CTM）に接続している。

【0148】透明ガラス基板（SUB1、SUB2）の間にはその縁に沿って、液晶封入口（INJ）を除き、液晶層（LC）を封止するようにシールパターン（SL）が設けられる。

【0149】シールパターン（SL）は、例えば、エポキシ樹脂から形成される。

【0150】配向膜（ORI1、ORI2）の層は、シールパターン（SL）の内側に形成され、また、偏光板（POL1、POL2）は、それぞれ下部透明ガラス基板（SUB1）、上部透明ガラス基板（SUB2）の外側の表面に形成されている。

【0151】液晶層（LC）は、液晶分子の向きを設定

する下部配向膜 (ORI 1) と上部配向膜 (ORI 2) との間でシールパターン (SL) で仕切られた領域に封入される。

【0152】下部配向膜 (ORI 1) は、下部透明ガラス基板 (SUB 1) 側の保護膜 (PSV) の上部に形成される。

【0153】本実施例の液晶表示装置では、下部透明ガラス基板 (SUB 1)、上部透明ガラス基板 (SUB 2) を別個に種々の層を積み重ねて形成した後、シールパターン (SL) を上部透明ガラス基板 (SUB 2) 側に形成し、下部透明ガラス基板 (SUB 1) と上部透明ガラス基板 (SUB 2) とを重ね合わせ、シールパターン (SL) の開口部 (INJ) から液晶 (LC) を注入し、注入口 (INJ) をエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0154】《ゲート端子 (GTM) 部》図 7 は、表示マトリクス部 (AR) の走査信号線 (GL) からその外部接続端子であるゲート端子 (GTM) までの接続構造を示す図であり、図 7 (A) は、平面図であり、図 7 (B) は、図 7 (A) に示す B-B 切断線における断面図である。

【0155】なお、図 7 は、図 5 における下方付近に対応し、斜め配線の部分は便宜上一直線状で表した。

【0156】図 7 において、AO はホトレジスト直接描画の境界線、言い換えれば選択的陽極酸化のホトレジストパターンである。

【0157】従って、このホトレジストは陽極酸化後除去され、図 7 に示すパターン (AO) は完成品としては残らないが、ゲート配線 (GL) には断面図に示すように酸化膜 (AOF) が選択的に形成されるのでその軌跡が残ることになる。

【0158】図 7 (A) の平面図において、ホトレジストの境界線 (AO) を基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。

【0159】陽極酸化されたアルミニウム (AL) 系の導電膜 (g 1) は、表面にアルミニウム酸化膜 (Al₂O₃) が形成され下方の導電部は体積が減少する。

【0160】勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。

【0161】図 7 において、アルミニウム (AL) 系の導電膜 (g 1) は、判り易くするためハッチを施してあるが、陽極化成されない領域は櫛状にパターニングされている。

【0162】これは、アルミニウム (AL) 系の導電膜の幅が広いと表面にホイスカが発生するので、1 本 1 本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に抑ええる狙いである。

【0163】ゲート端子 (GTM) は、アルミニウム

(AL) 系の導電膜 (g 1) と、更にその表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電膜 (g 2) とで形成されている。

【0164】この透明導電膜 (g 2) は、スパッタリングで形成された透明導電膜 (Indium-Tin-Oxide ITO: ネサ膜) からなり、1000~2000 オングストロームの厚さに (本実施例では、1400 オングストローム程度の膜厚) 形成される。

【0165】また、アルミニウム (AL) 系の導電膜 (g 1) 上、および、その側面部に形成された導電膜 (d 1) は、導電膜 (g 1) と透明導電膜 (g 2) との接続不良を補うために、導電膜 (g 1) と透明導電膜 (g 2) との両方に接続性の良いクロム (Cr) 層 (d 1) を接続し、接続抵抗の低減を図るためのものであり、導電膜 (d 2) は導電膜 (d 1) と同一マスクで形成しているために残っているものである。

【0166】図 7 (A) の平面図において、ゲート絶縁膜 (GI) は、その境界線 (AO) よりも右側に、保護膜 (PSV) は、その境界線 (AO) よりも左側に形成されており、左端に位置する端子部 (GTM) はそれらから露出し外部回路との電氣的接触ができるようになっている。

【0167】図 7 では、ゲート線 (GL) とゲート端子の一つの対のみが示されているが、実際はこのような対が上下に複数本並べられて、図 5 に示す端子群 (Tg) が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線 (SHg) (図示せず) によって短絡される。

【0168】製造過程におけるこのような短絡線 (SHg) は、陽極化成時の給電と、配向膜 (ORI 1) のラビング時等の静電破壊防止に役立つ。

【0169】《ドレイン端子 (DTM) 部》図 8 は、表示マトリクス部 (AR) の映像信号線 (DL) からその外部接続端子であるドレイン端子 (DTM) までの接続を示す図であり、図 8 (A) はその平面図であり、図 8 (B) は、図 8 (A) に示す B-B 切断線における断面図である。

【0170】なお、図 8 は、図 5 における右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が下部透明ガラス基板 (SUB 1) の上端部に該当する。

【0171】図 8 において、TSTd は検査端子であり、ここには外部回路は接続されないが、プローブ針等を接触できるように配線部より幅が広がられている。

【0172】同様に、ドレイン端子 (DTM) も外部回路との接続ができるよう配線部より幅が広がられている。

【0173】ドレイン端子 (DTM) は複数本上下方向に並べられ、図 5 に示す端子群 (Td) (添字省略) を構成し、さらに、ドレイン端子 (DTM) は、下部透明

ガラス基板 (SUB1) の切断線を越えて延長され、製造過程では静電破壊防止のためその全てが互いに配線 (SHd) (図示せず) によって短絡される。

【0174】検査端子 (TSTd) は、図8に示すように一本置きの映像信号線 (DL) に設けられる。

【0175】ドレイン接続端子 (DTM) は、透明導電膜 (g2) の単層で形成されており、ゲート絶縁膜 (GI) を除去した部分で映像信号線 (DL) と接続されている。

【0176】ゲート絶縁膜 (GI) の端部上に形成された半導体層 (AS) は、ゲート絶縁膜 (GI) の縁をテーパー状にエッチングするためのものである。

【0177】ドレイン接続端子 (DTM) 上では、外部回路との接続を行うため保護膜 (PSV) は勿論のこと取り除かれている。

【0178】表示マトリクス部 (AR) からドレイン端子部 (DTM) までの引出配線は、映像信号線 (DL) と同じレベルの導電膜 (d1、d2) が、保護膜 (PSV) の途中まで構成されており、保護膜 (PSV) の中で透明導電膜 (g2) と接続されている。

【0179】これは、電触し易いアルミニウム (AI) 系の導電膜 (d2) を保護膜 (PSV) やシールパターン (SL) でできるだけ保護する狙いである。

【0180】《対向電極端子 (CTM)》図9は、対向電圧信号線 (CL) からその外部接続端子である対向電極端子 (CTM) までの接続を示す図であり、図9 (A) は、その平面図であり、図9 (B) は、図9 (A) に示す B-B 切断線における断面図である。

【0181】なお、図9は、図5における左上付近に対応する。

【0182】各対向電圧信号線 (CL) は、共通バスライン (CB) で一纏めして対向電極端子 (CTM) に引き出されている。

【0183】共通バスライン (CB) は、導電膜 (g1) の上に導電膜 (d1)、導電膜 (d2) を積層した構造となっている。

【0184】これは、共通バスライン (CB) の抵抗を低減し、対向電圧が外部回路から各対向電圧信号線 (CL) に十分に供給されるようにするためである。

【0185】この構造によれば、特に新たに導電膜を付加することなく、共通バスライン (CB) の抵抗を下げられるのが特徴である。

【0186】共通バスライン (CB) の導電膜 (g1) は、導電膜 (d1)、導電膜 (d2) と電気的に接続されるように、陽極参加はされておらず、また、ゲート絶縁膜 (GI) から露出している。

【0187】対向電極端子 (CTM) は、導電膜 (g1) の上に透明導電膜 (g2) が積層された構造になっている。

【0188】このように、その表面を保護し、また、電

食等を防ぐために耐久性のよい透明導電膜 (g2) で、導電膜 (g1) を覆っている。

【0189】《表示装置全体等価回路》図10は、表示マトリクス部 (AR) の等価回路とその周辺回路の結線図を示す図である。

【0190】なお、図10は、回路図ではあるが、実際の幾何学的配置に対応して描かれている。

【0191】図10において、ARは、複数の画素を二次元状に配列した表示マトリクス部 (マトリクス・アレイ) を示している。

【0192】図10中、Xは映像信号線 (DL) を意味し、添字 G、B および R がそれぞれ緑、青および赤画素に対応して付加されている。

【0193】Yは走査信号線 (GL) を意味し、添字 1、2、3、…、end は走査タイミングの順序に従って付加されている。

【0194】走査信号線 (Y) (添字省略) は垂直走査回路 (V) に接続されており、映像信号線 (X) (添字省略) は映像信号駆動回路 (H) に接続されている。

【0195】回路 (SUP) は、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト (上位演算処理装置) からの CRT (陰極線管) 用の情報を (TFT) 液晶表示装置用の情報に交換する回路を含む回路である。

【0196】《駆動方法》図11は、本実施例の液晶表示装置における駆動時の駆動波形を示す図であり、図11 (a)、図11 (b) は、それぞれ、(i-1) 番目、(i) 番目の走査信号線 (GL) に印加されるゲート電圧 (走査信号電圧) (VG) を示している。

【0197】また、図11 (c) は、映像信号線 (DL) に印加される映像信号電圧 (VD) を示し、図11 (d) は、対向電極 (CT) に印加される対向電圧 (Vcom) を示している。

【0198】さらに、図11 (e) は、(i) 行、(j) 列の画素における画素電極 (PX) に印加される画素電極電圧 (Vs) を示し、図11 (f) は、(i) 行、(j) 列の画素の液晶層 (LC) に印加される電圧 (VLC) を示している。

【0199】本実施例の液晶表示装置の駆動方法においては、図11 (d) に示すように、対向電極 (CT) に印加する対向電圧 (Vcom) を、VCHとVCLの2値の交流矩型波にし、それに同期させてゲート電極 (GT) に印加するゲート電圧 (VG) の非選択電圧を1走査期間ごとに、VGLHとVGLLの2値で変化させる。

【0200】この場合に、対向電圧 (Vcom) の振幅値と、ゲート電圧 (VG) の非選択電圧の振幅値とは同一にする。

【0201】映像信号線 (DL) に印加される映像信号電圧 (VD) は、液晶層 (LC) に印加したい電圧から、対向電圧 (VC) の振幅の1/2を差し引いた電圧

(VSIG)である。

【0202】対向電極 (CT) に印加する対向電圧 (Vcom) は直流でもよいが、交流化することで映像信号電圧 (VD) の最大振幅を低減でき、映像信号駆動回路 (信号側ドライバ) に耐圧の低いものを用いることが可能になる。

【0203】《蓄積容量 (Cstg) の働き》蓄積容量 (Cstg) は、画素に書き込まれた (薄膜トランジスタ (TFT) がオフした後の) 映像情報を、長く蓄積するために設ける。

【0204】本実施例のように、電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極 (PX) と対向電極 (CT) とで構成される容量 (いわゆる液晶容量 (Cpix)) がほとんど無いため、蓄積容量 (Cstg) がないと映像情報を画素に蓄積することができない。

【0205】したがって、電界を基板面と平行に印加する方式では、蓄積容量 (Cstg) は必須の構成要素である。

【0206】また、蓄積容量 (Cstg) は、薄膜トランジスタ (TFT) がスイッチングするとき、画素電極電位 (Vs) に対するゲート電位変化 (ΔVG) の影響を低減するようにも働く。

【0207】この様子を式で表すと、次のようになる。

【0208】 $\Delta Vs = \{Cgs / (Cgs + Cstg + Cpix)\} \times \Delta VG$

ここで、Cgs は薄膜トランジスタ (TFT) のゲート電極 (GT) とソース電極 (SD1) との間に形成される寄生容量、Cpix は画素電極 (PX) と対向電極 (CT) との間に形成される容量、 ΔVs は ΔVG による画素電極電位の変化分いわゆるフィードスルー電圧を表わす。

【0209】この変化分 (ΔVs) は、液晶層 (LC) に加わる直流成分の原因となるが、保持容量 (Cstg) を大きくすればする程、その値を小さくすることができる。

【0210】液晶層 (LC) に印加される直流成分の低減は、液晶層 (LC) の寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0211】前述したように、ゲート電極 (GT) は、i 型半導体層 (AS) を完全に覆うよう大きくされている分、ソース電極 (SD1)、ドレイン電極 (SD2) とのオーバーラップ面積が増え、従って寄生容量 (Cgs) が大きくなり、画素電極電位 (Vs) は、ゲート電圧 (走査信号電圧) (VG) の影響を受け易くなるという逆効果が生じる。

【0212】しかし、蓄積容量 (Cstg) を設けることによりこのデメリットも解消することができる。

【0213】《製造方法》つぎに、前記した液晶表示装

置の下部透明ガラス基板 (SUB1) 側の製造方法について図12～図14を参照して説明する。

【0214】なお、図12～図14において、中央の文字は工程名の略称であり、左側は図3に示す薄膜トランジスタ (TFT) 部分、右側は図7に示すゲート端子付近の断面形状でみた加工の流れを示す。

【0215】工程B、工程Dを除き、工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリソを除去した段階を示している。

【0216】なお、以下の説明においては、写真処理とは、フォトリソの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。

【0217】以下区分けした工程に従って、説明する。

【0218】(工程A、図12) ガラスからなる下部透明ガラス基板 (SUB1) 上に、膜厚が3000オングストロームのアルミニウム (Al) -パラジウム (Pd)、アルミニウム (Al) -シリコン (Si)、アルミニウム (Al) -タンタル (Ta)、アルミニウム (Al) -チタン (Ti) -タンタル (Ta) 等からなる導電膜 (g1) をスパッタリングにより形成する。

【0219】写真処理後、リン酸と硝酸と氷酢酸と水との混酸液で導電膜 (g1) を選択的にエッチングする。

【0220】それによって、ゲート電極 (GT)、走査信号線 (GL)、対向電極 (CT)、対向電圧信号線 (CL)、電極 (PL1)、ゲート端子 (GTM)、共通バスライン (CB) の第1導電膜、対向電極端子 (CTM) の第1導電膜、ゲート端子 (GTM) を接続する陽極酸化バスライン (SHg) (図示せず) および陽極酸化バスライン (SHg) に接続された陽極酸化パッド (図示せず) を形成する。

【0221】(工程B、図12) 直接描画による陽極酸化マスク (AO) の形成後、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に下部透明ガラス基板 (SUB1) を浸漬し、化成電流密度が0.5mA/cm² になるように調整する (定電流化成)。

【0222】次に、所定膜厚のアルミニウム酸化膜 (AOF) が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。

【0223】その後、この状態で数10分保持することが望ましい (定電圧化成)。

【0224】これは均一なアルミニウム酸化膜 (AOF) を得る上で大事なことである。

【0225】それによって、導電膜 (g1) が陽極酸化され、ゲート電極 (GT)、走査信号線 (GL)、対向電極 (CT)、対向電圧信号線 (CL) および電極 (PL1) 上に膜厚が1800オングストロームの陽極酸化

膜(AOF)が形成される。

【0226】(工程C、図12)膜厚が1400オングストロームのITO膜からなる透明導電膜(g2)をスパッタリングにより形成する。

【0227】写真処理後、エッチング液として、塩酸と硝酸との混酸液で透明導電膜(g2)を選択的にエッチングすることにより、ゲート端子(GTM)の最上層、ドレイン端子(DTM)および対向電極端子(CTM)の第2導電膜を形成する。

【0228】(工程D、図13)プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2200オングストロームの窒化シリコン膜(SiNX)を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000オングストロームのi型非晶質シリコン(Si)膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300オングストロームのN(+)型非晶質シリコン(Si)膜を設ける。

【0229】(工程E、図13)写真処理後、ドライエッチングガスとして六弗化硫黄(SF6)、四塩化炭素(CCl4)を使用してN(+)型非晶質シリコン(Si)膜、i型非晶質シリコン(Si)膜を選択的にエッチングすることにより、i型半導体層(AS)の島を形成する。

【0230】(工程F、図13)写真処理後、ドライエッチングガスとして六弗化硫黄(SF6)を使用して、窒化シリコン膜を選択的にエッチングする。

【0231】(工程G、図14)膜厚が600オングストロームのクロム(Cr)からなる導電膜(d1)をスパッタリングにより設け、さらに膜厚が4000オングストロームのアルミニウム(Al)-タンタル(Ta)、アルミニウム(Al)-チタン(Ti)-タンタル(Ta)等からなる導電膜(d2)をスパッタリングにより設ける。

【0232】写真処理後、導電膜(d2)を、リン酸と硝酸と水酢酸と水とからなる工程Aの混酸液より硝酸の比率を増した混酸液でエッチングし、導電膜(d1)を硝酸第2セリウムアンモン液でエッチングし、映像信号線(DL)、ソース電極(SD1)、ドレイン電極(SD2)、画素電極(PX)、電極(PL2)、共通バスライン(CB)の第2導電膜、第3導電膜およびドレイン端子(DTM)を短絡するバスライン(SHd)(図示せず)を形成する。

【0233】工程Aの混酸液より硝酸の比率を増すことにより、レジスト材がエッチング中に端部から剥がれ徐々に始めるため、端部からエッチング液が浸透し、導電膜(d2)にテーパ角が付与される。

【0234】本実施例では、アルミニウム(Al)-タンタル(Ta)、アルミニウム(Al)-チタン(Ti)-タンタル(Ta)等の材料を用いて、導電膜(d

2)にテーパを付与したが、その他の金属でも、エッチング液に硝酸混合させることにより、テーパを付与することができる。

【0235】なお、本実施例で用いているレジスト材は、東京応化製半導体用レジストOFPR800(商品名)を用いた。

【0236】また、エッチング液の硝酸の濃度を変えることによりテーパ角度を制御することが可能である。

【0237】つぎに、ドライエッチング装置に四塩化炭素(CCl4)、六弗化硫黄(SF6)を導入して、N(+)型非晶質シリコン(Si)膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層(d0)を選択的に除去する。

【0238】(工程H、図14)プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化シリコン膜を設ける。

【0239】写真処理後、ドライエッチングガスとして六弗化硫黄(SF6)を使用した写真蝕刻技術で窒化シリコン膜を選択的にエッチングすることによって、保護膜(PSV)を形成する。

【0240】《表示パネル(PNL)と駆動回路基板PCB1》図15は、図5等にて示す表示パネル(PNL)に映像信号駆動回路(H)と垂直走査回路(V)を接続した状態を示す平面図である。

【0241】図15において、CHIは表示パネル(PNL)を駆動させる駆動ICチップであり、図15に示す下側の5個は垂直走査回路側の駆動ICチップ、左の10個は映像信号駆動回路側の駆動ICチップである。

【0242】TCPは図16、図17で後述するように駆動用ICチップ(CHI)がテープ・オートメーティド・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1は前記テープキャリアパッケージ(TCP)やコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。

【0243】FGPはフレームグランドパッドであり、シールドケース(SHD)に切り込んで設けられたバナナ状の破片が半田付けされる。

【0244】FCは下側の駆動回路基板(PCB1)と左側の駆動回路基板(PCB1)を電氣的に接続するフラットケーブルである。

【0245】フラットケーブル(FC)としては、複数のリード線(りん青銅の素材にスズ(Sn)鍍金を施したもの)をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0246】《TCPの接続構造》図16は、走査信号駆動回路(V)や映像信号駆動回路(H)を構成する、集積回路チップ(CHI)がフレキシブル配線基板に搭載されたテープキャリアパッケージ(TCP)の断面構

造を示す断面図であり、図17は、それを液晶表示パネル(PNL)に接続した状態(図16では、走査信号回路用端子(GTM)に接続した状態)を示す要部断面図である。

【0247】図16において、TTBは集積回路(CHI)の入力端子・配線部であり、TTMは集積回路(CHI)の出力端子・配線部であり、端子(TTB、TTM)は、例えば、銅(Cu)から成り、それぞれの内側の先端部(通称インナーリード)には、集積回路(CHI)のボンディングパッド(PAD)がいわゆるフェースダウンボンディング法により接続される。

【0248】端子(TTB、TTM)の外側の先端部(通称アウターリード)には、それぞれ半導体集積回路チップ(CHI)の入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路(SUP)、あるいは、異方性導電膜(ACF)によって液晶表示パネル(PNL)が接続される。

【0249】パッケージ(TCP)は、その先端部が、パネル(PNL)側の接続端子(GTM)が露出される保護膜(PSV)を覆うようにパネルに接続されており、従って、外部接続端子(GTM)(またはDTM)は、保護膜(PSV)かパッケージ(TCP)の少なくとも一方で覆われるので電触に対して強くなる。

【0250】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。

【0251】シールパターン(SL)の外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂(EPX)等により保護され、パッケージ(TCP)と上側基板(SUB2)の間には更にシリコン樹脂(SIL)が充填され保護が多重化されている。

【0252】《駆動回路基板(PCB2)》駆動回路基板(PCB2)は、IC、コンデンサ、抵抗等の電子部品が搭載されている。

【0253】この駆動回路基板(PCB2)には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト(上位演算処理装置)からのCRT(陰極線管)用の情報を(TFT)液晶表示装置用の情報に変換する回路を含む回路(SUP)が搭載されている。

【0254】CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

【0255】駆動回路基板(PCB1)と駆動回路基板(PCB2)とはフラットケーブル(FC)により電気的に接続されている。

【0256】《液晶表示モジュール(MDL)の全体構成》図18は、液晶表示モジュール(MDL)の各構成部品を示す分解斜視図である。

【0257】SHDは金属板から成る枠状のシールドケ

ース(メタルフレーム)、LCWその表示窓、PNLは液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0258】モジュール(MDL)は、シールドケース(SHD)に設けられた爪とフックによって全体が固定されるようになっている。

【0259】バックライトケース(LCA)は、バックライト蛍光管(BL)、光拡散板(SPB)、導光体(LCB)、反射板(RM)を収納する形状になっており、導光体(LCB)の側面に配置されたバックライト蛍光管(BL)の光を、導光体(LCB)、反射板(RM)、光拡散板(SPB)により表示面で一様なバックライトにし、液晶表示パネル(PNL)側に出射する。

【0260】バックライト蛍光管(BL)にはインバータ回路基板(PCB3)が接続されており、バックライト蛍光管(BL)の電源となっている。

【0261】以上、詳細に述べたように、本実施例では、画素電極(PX)の端面部にテーパ角を付与することにより、配向膜(ORI1)をラビングする際に、画素電極(PX)の端面付近でのラビング処理を円滑および確実に行い、配向不良領域を解消することができ、コントラスト比が良好なアクティブマトリクス型液晶表示装置を得ることが可能となる。

【0262】〔実施例2〕本実施例は、画素電極(PX)および対向電極(CT)の両方にテーパ角を付与することにより、対向電極(CT)近傍の配向不良を解消し、更に良好なコントラスト比を得るようにしたのである。

【0263】本実施例は、対向電極(CT)の構成とそれに関わる製造方法が前記実施例1と異なるのみであり、以下に示す項目以外は前記実施例1と同一である。

【0264】図20は、本発明の他の実施例(実施例2)であるアクティブマトリクス方式のカラー液晶表示装置における画素の断面(図1に示す3-3切断線における断面)を示す断面図である。

【0265】対向電極(CT)は、ゲート電極(GT)および走査信号線(GL)と同層の導電膜(g1)で構成されている。

【0266】また、対向電極(CT)上には、アルミニウム(A1)の陽極酸化膜(AOF)が形成され、さらに、対向電極(CT)の導電膜(g1)には、45°のテーパ角が付与されている。

【0267】次に、本実施例の製造方法について説明する。

【0268】ガラスからなる下部透明ガラス基板(SUB1)上に膜厚が3000オングストロームのアルミニウム(A1)-タンタル(Ta)、アルミニウム(A

1) ーチタン (Ti) ータンタル (Ta) 等からなる導電膜 (g1) をスパッタリングにより形成する。

【0269】写真処理後、導電膜 (g1) を、リン酸と硝酸と氷酢酸と水とからなる前記実施例1における工程Aの混酸液より硝酸の比率を増した混酸液でエッチングし、それによって、ゲート電極 (GT)、走査信号線 (GL)、対向電極 (CT)、対向電圧信号線 (CL)、電極 (PL1)、ゲート端子 (GTM)、共通バスライン (CB) の第1導電膜、対向電極端子 (CTM) の第1導電膜、ゲート端子 (GTM) を接続する陽極酸化バスライン (SHg) (図示せず) および陽極酸化バスライン (SHg) に接続された陽極酸化パッド (図示せず) を形成する。

【0270】以上のように、本実施例では、対向電極 (CT) の端面部にもテーパ角を付与したので、配向膜 (ORI1) をラビングする際に、画素電極 (PX) および対向電極 (CT) の端面付近でのラビング処理を円滑および確実にを行い、配向不良領域を解消することができ、実施例1より更にコントラスト比が良好なアクティブマトリクス型液晶表示装置を得ることができる。

【0271】[実施例3] 本実施例3は、前記実施例2と同様に、画素電極 (PX) 及び対向電極 (CT) の両方にテーパ角を付与することにより、対向電極 (CT) 近傍の配向不良を解消し、更に良好なコントラスト比を得るものである。

【0272】ただし、本実施例3では、画素電極 (PX) と対向電極 (CT) を同一工程で形成することにより、同時にその両者にテーパ角を付与するものであり、以下に示す項目以外は実施例1と同一である。

【0273】図21は、本実施例における画素部とその周辺を示す平面図であり、図22は、図21に示す3-3切断線における断面を示す断面図である。

【0274】ここで、図22に示すように、画素電極 (PX) と対向電極 (CT) は同層に構成されており、画素電極 (PX) と対向電極 (CT) との両方の端面にテーパ角が付与されている。

【0275】これにより、実施例2と同様に、後述する配向膜をラビングする際に、画素電極 (PX) と対向電極 (CT) の端面付近でラビング処理が円滑および確実に行われ、配向不良領域を解消することができる。

【0276】なお、本実施例では、画素電極 (PX)、対向電極 (CT)、映像信号線 (DL)、ソース電極 (SD1)、ドレイン電極 (SD2) とが同一工程で同層に形成されているため、映像信号線 (DL)、ソース電極 (SD1)、ドレイン電極 (SD2) の端面にも同様なテーパ角が付与されている。

【0277】また、対向電極 (CT) と対向電圧信号線 (CL) とは、ゲート絶縁膜 (GI) にスルーホール (SH) を形成し、両者を電氣的に接続している。

【0278】また、対向電圧信号線 (CL) をアルミニ

ウム (Al) 系の導電膜 (g1) で形成する場合には、対向電極 (CT) と対向電圧信号線 (CL) との接続をとるために、対向電圧信号線 (CL) とそれと同一材料、同工程で形成されるものについて陽極酸化は行わない。

【0279】なお、この場合に、対向電圧信号線 (CL)、および、それと同一材料、同工程で形成される導電膜としてクロム (Cr) を用いれば、陽極酸化を行う必要がない。

【0280】さらに、対向電圧信号線 (CL) を画素電極 (PX) と同層に設けることにより、スルーホールを (SH) 構成しないようにすることも可能である。

【0281】以上、本実施例では、前記実施例2の効果に加え、テーパエッチングする工程が1工程で済む。

【0282】なお、本実施例では、対向電極 (CT) を画素電極 (PX) と同層に形成することにより、同一工程でテーパ角を付与するようにしたが、画素電極 (PX) を対向電極 (CT) と同層に同工程で形成しても効果は同一である。

【0283】[実施例4] 本実施例4は、テーパエッチングする製造方法が前記実施例1と異っており、そのため、以下の製造方法を除けば、前記実施例1と同一である。

【0284】本実施例4は、画素電極 (PX) のエッチングをドライエッチングで行うようにしたものであり、本実施例では、画素電極 (PX) をドライエッチングするときに、同時に酸素アッシャーでレジスト材に酸素との化学反応を起こし側面を蒸発させるようにする。

【0285】これにより、側面から徐々にレジストがなくなっていくため、電極がテーパエッチングされる。

【0286】これにより、本実施例4でも、実施例1と同等の効果に得ることができる。

【0287】なお、本実施例4は、前記実施例2および実施例3と組み合わせることは可能であり、その組み合わせは本発明の範疇である。

【0288】[実施例5] 前記各実施例は、画素電極 (PX) との間で、液晶層 (LC) に基板とほぼ平行な方向に電界を印加する対向電極 (CT) に、対向電圧信号線 (CL) から対向電圧 (Vcom) を供給するアクティブマトリクス方式カラー液晶表示装置において、画素電極 (PX) および対向電極 (CT) の少なくとも一方の電極にテーパ角を付与したものである。

【0289】これに対して、本実施例は、画素の開口率を向上させるために、隣接する走査信号線 (GL) から対向電極 (CT) に対向電圧 (Vcom) を供給するアクティブマトリクス方式カラー液晶表示装置において、画素電極 (PX) および対向電極 (CT) の少なくとも一方の電極にテーパ角を付与したものである。

【0290】本実施例の構成 (電極の構造、あるいは、電極材料等) は、以下に示す項目以外は、前記実施例1

あるいは前記実施例 2 と同じである。

【0291】次に、本実施例について、前記実施例 1 または実施例 2 との相違する部分を中心に説明する。

【0292】図 23 は、本発明の他の実施例（実施例 5）であるアクティブマトリクス方式のカラー液晶表示装置の一画素とその周辺を示す平面図である。

【0293】図 23 に示すように、本実施例の液晶表示装置においては、ゲート電極（GT）、および、対項電極（CT）が、査信号線（GL）と連続して一体に構成される。

【0294】ここで、対項電極（CT）は、1つ前のラインの走査信号線（GL）に接続される。

【0295】なお、本実施例における画素の断面（図 1 に示す 3-3 切断線における断面）は、図 3 あるいは図 20 と同じである。

【0296】図 24 は、本実施例の液晶表示装置における表示マトリクス部（AR）の等化回路とその周辺回路を示す図である。

【0297】図 24 も、回路図ではあるが、実際の幾何学的配置に対応して描かれている。

【0298】図 24 において、AR は、複数の画素を二次元状に配列した表示マトリクス部（マトリクス・アレイ）を示している。

【0299】図 24 中、PX は画素電極であり、添字 G、B および R がそれぞれ緑、青および赤画素に対応して付加されている。

【0300】GL は走査信号線であり、y0、y2、y3、…yend は走査タイミングの順序を示している。

【0301】走査信号線（GL）は垂直走査回路（V）に接続されており、映像信号線（DL）は映像信号駆動回路（H）に接続されている。

【0302】回路（SUP）は、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からの CRT（陰極線管）用の情報を（TFT）液晶表示装置用の情報に交換する回路を含む回路である。

【0303】図 25 は、本実施例の液晶表示装置における駆動時の駆動波形を示す図であり、図 25（a）、図 25（b）は、それぞれ、（i-1）番目、（i）番目の走査信号線（GL）に供給されるゲート電圧（走査信号電圧）（VG）を示している。

【0304】なお、図 25 では、（i）は偶数であり、したがって、（i-1）番目の走査信号線（GL）は奇数番目の走査信号線（GL）を、（i）番目の走査信号線（GL）は偶数番目の走査信号線（GL）をそれぞれ示している。

【0305】また、図 25（c）は、映像信号線（DL）に印加される映像信号電圧（VD）を示し、さらに、図 25（d）は、（i）行、（j）列の画素における画素電極（PX）に印加される画素電極電圧（Vs）

を示し、図 25（e）は、（i）行、（j）列の画素の液晶層（LC）に印加される電圧（VLC）を示している。

【0306】本実施例の液晶表示装置の駆動方法においては、走査信号線（GL）から対向電極（CT）に対向電圧（Vcom）を印加しなければならないので、走査信号線（GL）に供給されるゲート電圧（VG）の非選択電圧を、各フレーム毎に、VGLHとVGLMの2値の矩形波、あるいは、VGLMとVGLLの2値の矩形波で変化させる。

【0307】さらに、隣接する走査信号線（GL）に供給されるゲート電圧（VG）の非選択電圧の変化が同じにならないようにする。

【0308】図 25（a）、図 25（b）に示す例では、（i-1）番目の走査信号線（GL）に供給されるゲート電圧（VG）の非選択電圧は、奇フレームで、VGLM、VGLLの2値、偶フレームで、VGLH、VGLMの2値で変化させ、また、（i）番目の走査信号線（GL）に供給されるゲート電圧（VG）の非選択電圧は、奇フレームで、VGLH、VGLMの2値、偶フレームで、VGLM、VGLLの2値で変化させる。

【0309】この場合に、VGLHとVGLMの中心電位はVGLI、VGLMとVGLLの中心電位はVGL2であり、VGLHとVGLMの振幅値、および、VGLMとVGLLの振幅値は、等しく2VBとする。

【0310】以上説明したように、本実施例 5 でも、前記実施例 1 あるいは前記実施例 2 と同等の効果を得ることが可能である。

【0311】〔実施例 6〕本実施例は、前記実施例 5 において、前記実施例 3 と同様に、画素電極（PX）と対向電極（CT）を同一工程で形成することにより、同時にその両者にテーパ角を付与するようにしたものであり、以下に示す項目以外は、前記実施例 3 および前記実施例 5 と同じである。

【0312】次に、本実施例について、前記実施例 3 および実施例 5 との相違する部分を中心に説明する。

【0313】図 26 は、本発明の他の実施例（実施例 6）であるアクティブマトリクス方式のカラー液晶表示装置の一画素とその周辺を示す平面図である。

【0314】図 26 に示すように、本実施例の液晶表示装置においては、ゲート電極（GT）が、査信号線（GL）と連続して一体に構成される。

【0315】また、対項電極（CT）は、スルホール（SH）を介して1つ前の走査信号線（GL）に接続される。

【0316】なお、本実施例における画素の断面（図 21 に示す 3-3 切断線における断面）は、図 22 と同じである。

【0317】この場合に、走査信号線（GL）をアルミニウム（Al）系の導電膜（g1）で形成する場合に

は、対向電極（CT）と走査信号線（GL）との接続をとるために、走査信号線（GL）とそれと同一材料、同工程で形成されるものについて陽極酸化は行わない。

【0318】なお、この場合に、走査信号線（GL）、および、それと同一材料、同工程で形成される導電膜としてクロム（Cr）を用いれば、陽極酸化を行う必要がない。

【0319】以上説明したように、本実施例6でも、前記実施例3と同等の効果を達成することが可能である。

【0320】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0321】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0322】（1）本発明によれば、横電界方式を採用したアクティブマトリクス型液晶表示装置において、画素電極および対向電極の少なくとも一方の電極をテーパエッチングにより形成し、画素電極および対向電極の少なくとも一方の電極にテーパ角を付与するようにしたので、配向膜をラビングする際に、画素電極および対向電極の少なくとも一方の電極の端面付近でのラビング処理を円滑および確実に行うことが可能となる。

【0323】これにより、配向不良領域を解消できるので、画素電極および対向電極の少なくとも一方の電極付近での光漏れを解消することができ、コントラスト比を大幅に向上させ、かつ、ラビングによる輝度（コントラスト）むらを防止することが可能となる。

【0324】それにより、高画質のアクティブマトリクス型液晶表示装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例（実施例1）であるアクティブマトリクス方式のカラー液晶表示装置の一画素とその周辺を示す平面図である。

【図2】図1に示す3-3切断線における断面を示す断面図である。

【図3】図1に示す4-4切断線における薄膜トランジスタ（TFT）の断面を示す断面図である。

【図4】図1に示す5-5切断線における蓄積容量（Cs t g）の断面を示す断面図である。

【図5】実施例1の液晶表示装置における表示パネル（PNL）のマトリクス周辺部の構成を説明するための平面図である。

【図6】実施例1の液晶表示装置における左側に走査信号端子、右側に外部接続端子のないパネル縁部分を示す断面図である。

【図7】実施例1の液晶表示装置における表示マトリクス部（AR）の走査信号線（GL）からその外部接続端

子であるゲート端子（GTM）までの接続構造を示す図である。

【図8】実施例1の液晶表示装置における表示マトリクス部（AR）の映像信号線（DL）からその外部接続端子であるドレイン端子（DTM）までの接続を示す図である。

【図9】実施例1の液晶表示装置における対向電圧信号線（CL）からその外部接続端子である対向電極端子（CTM）までの接続を示す図である。

【図10】実施例1の液晶表示装置における表示マトリクス部（AR）の等化回路とその周辺回路を示す図である。

【図11】実施例1の液晶表示装置における駆動時の駆動波形を示す図である。

【図12】実施例1の液晶表示装置における下部透明ガラス基板（SUB1）側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図13】実施例1の液晶表示装置における下部透明ガラス基板（SUB1）側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】実施例1の液晶表示装置における下部透明ガラス基板（SUB1）側の工程G～Hの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】実施例1における液晶表示パネル（PNL）に周辺の駆動回路を実装した状態を示す平面図である。

【図16】実施例1の液晶表示装置における駆動回路を構成する集積回路チップ（CHI）がフレキシブル配線基板上に搭載されたテープキャリアパッケージ（TCP）の断面構造を示す断面図である。

【図17】実施例1の液晶表示装置におけるテープキャリアパッケージ（TCP）を液晶表示パネル（PNL）の走査信号回路用端子（GTM）に接続した状態を示す要部断面図である。

【図18】実施例1の液晶表示装置における液晶表示モジュールの分解斜視図である。

【図19】実施例1の液晶表示装置における印加電界方向、ラビング方向、偏光板透過軸の関係を示す図。

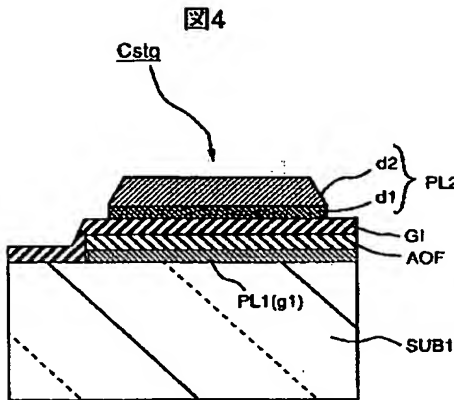
【図20】本発明の他の実施例（実施例2）であるアクティブマトリクス方式のカラー液晶表示装置における画素の断面（図1に示す3-3切断線における断面）を示す断面図である。

【図21】本発明の他の実施例（実施例3）であるアクティブマトリクス方式のカラー液晶表示装置の一画素とその周辺を示す平面図である。

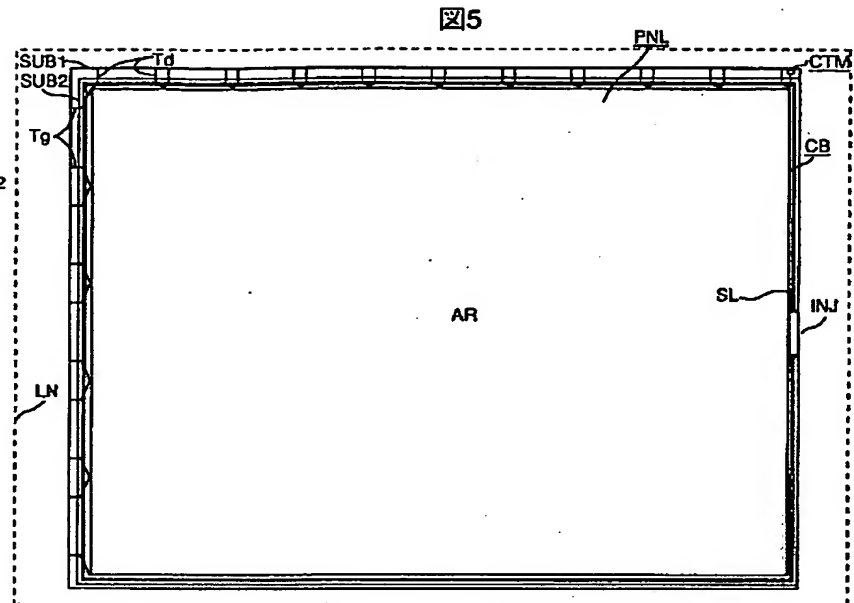
【図22】図21に示す3-3切断線における画素の断面図である。

【図23】本発明の他の実施例（実施例5）であるアク

【図4】

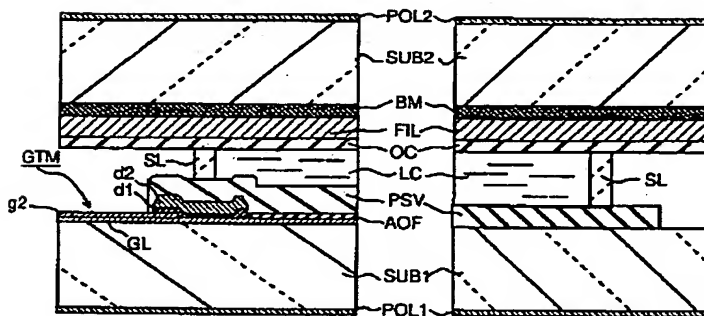


【図5】



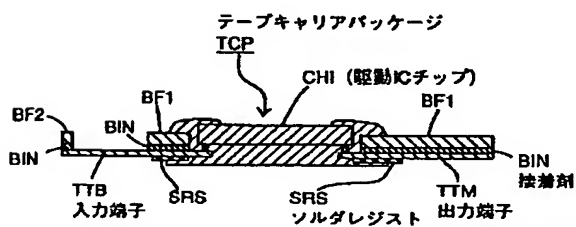
【図6】

図6



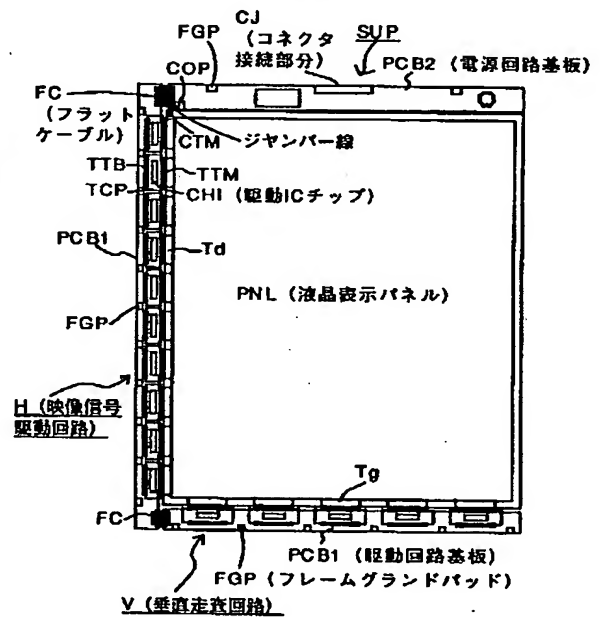
【図16】

図16



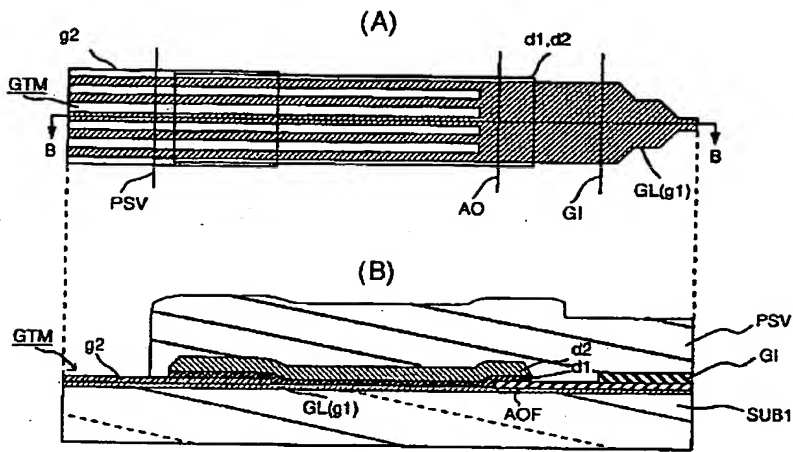
【図15】

図15



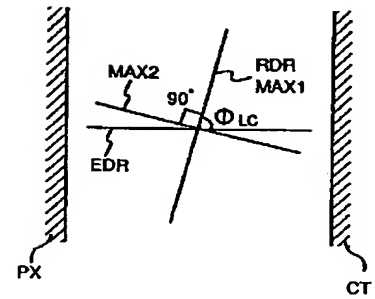
【図 7】

図 7



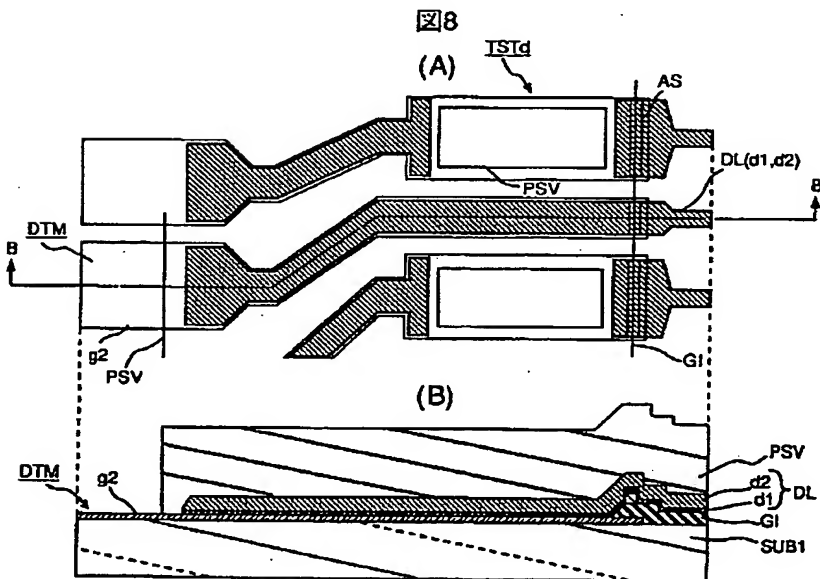
【図 19】

図 19



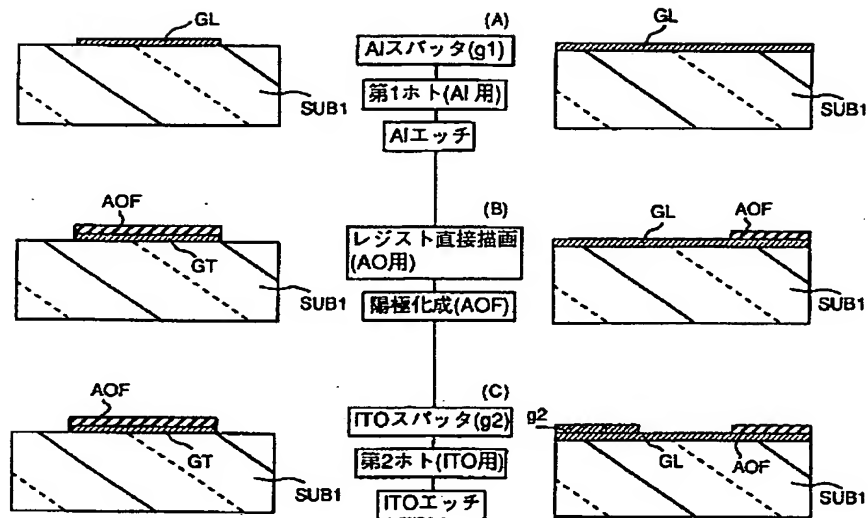
【図 8】

図 8



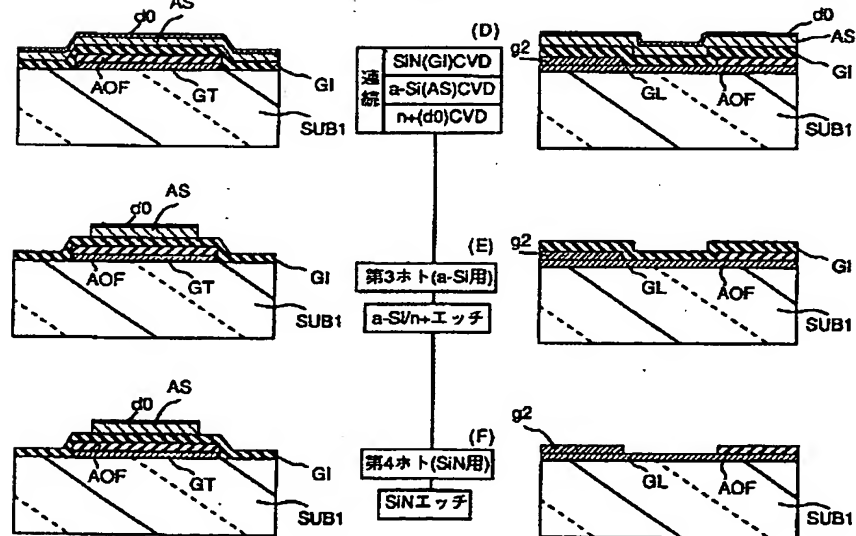
【図 1 2】

図12

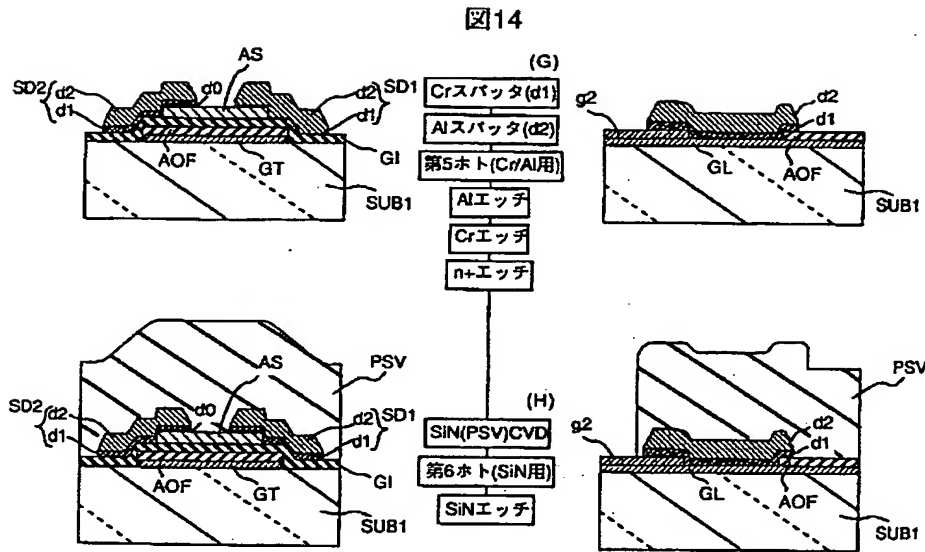


【図 1 3】

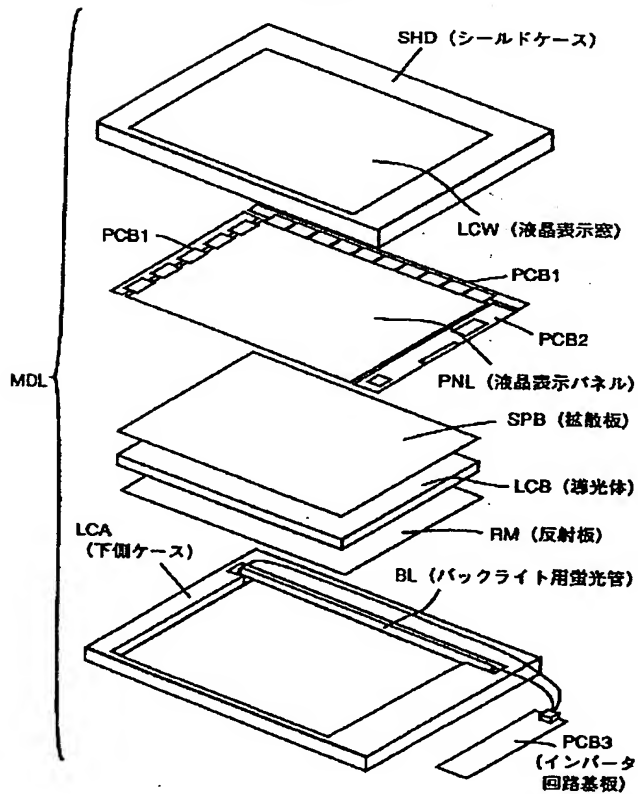
図13



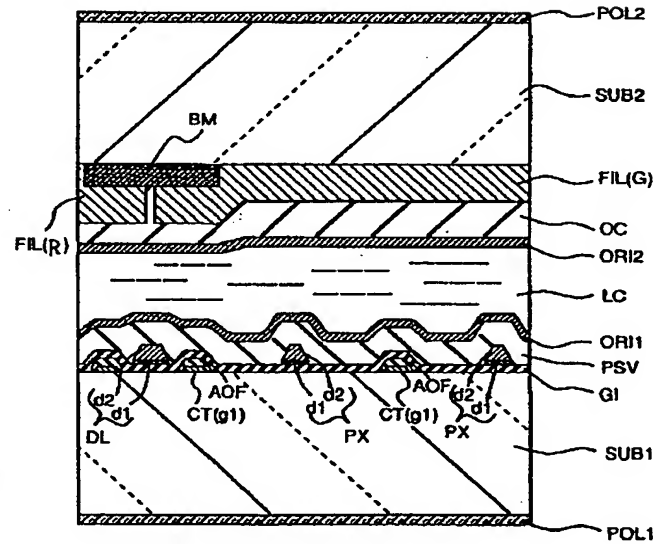
【図14】



【図18】

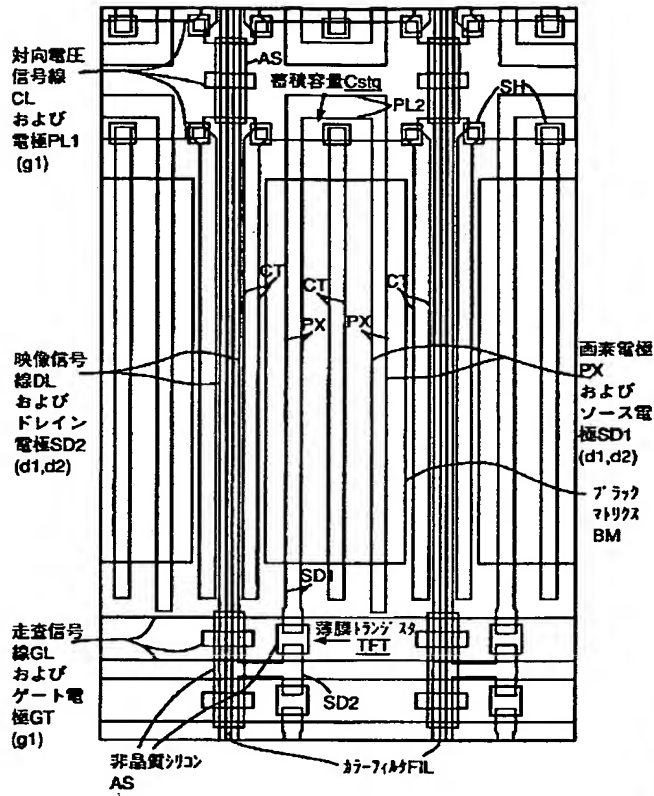
図18

【図20】

図20

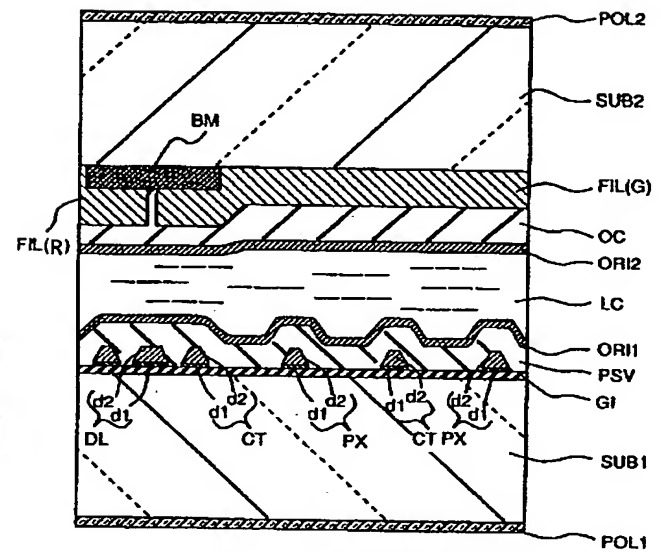
【図21】

図21



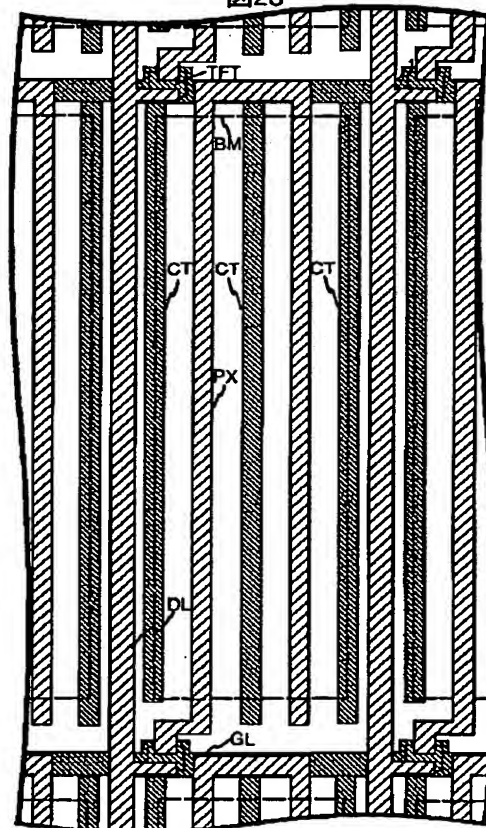
【図22】

図22



【図23】

図23



フロントページの続き

(72)発明者 柳川 和彦
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 箭内 雅弘
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内
(72)発明者 小西 信武
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内